

BEST AVAILABLE COPY**PATENT ABSTRACTS OF JAPAN**

(11)Publication number : 10-055975

(43)Date of publication of application : 24.02.1998

(51)Int.CI.

H01L 21/261
C30B 29/06
H01L 21/205
H01L 29/74

(21)Application number : 08-209585

(71)Applicant : HITACHI LTD

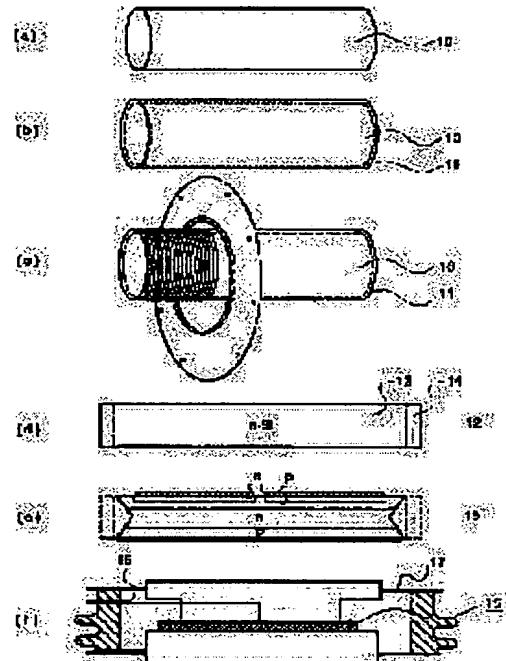
(22)Date of filing : 08.08.1996

(72)Inventor : MOCHIZUKI YASUHIRO

(54) SILICON CRYSTAL BODY FOR SEMICONDUCTOR DEVICE**(57)Abstract:**

PROBLEM TO BE SOLVED: To easily produce a large-diameter, highly pure silicon single crystal wafer by providing a single crystal rod with a resistivity controlled by neutron irradiation in an area for element, providing a polycrystal through CVD method in an area for handling around the single crystal rod, and by forming a concentric double circular layer thereby.

SOLUTION: The head and bottom parts of a single crystal are cut off and removed, and their periphery is shaped, and then it is cut into cylindrical block, resulting in a silicon single crystal rod 10 whose resistivity is controlled in the area for element through neutron irradiation. A single crystal layer or a polycrystal silicon layer 11 is piled up around the rod 10. It is cut into wafers, and they are ground and cleaned to obtain a silicon semiconductor substrate 12, so that the concentric central area thereof is formed of an NTD high-quality single crystal 13 and the peripheral area thereof is formed of double circular layer of CVD single crystal or polycrystal 14. Thus, a large-diameter highly pure silicon single crystal wafer can be produced easily.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

* NOTICES *

JPO and NCIPPI are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the silicon crystalline which is a silicon crystalline for semiconductor devices and is characterized by the field for handling of the single crystal with which the field used as a component had resistivity controlled by neutron irradiation, and the circumference consisting of concentric circle-like duplex stratum circulare tunicae muscularis ventriculi of the single crystal by the CVD method, or polycrystal.

[Translation done.]

* NOTICES *

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the silicon single crystal object used for a semiconductor device, especially a mass semiconductor device like a thyristor.

[0002]

[Description of the Prior Art] In recent years, enlargement of an equipment facility of electric-power-system link or stabilization is needed with increase of domestic power requirements. The 300-600 MW frequency converter FC (Frequency Converter) and the converter HVDC for direct current power transmission (HighVoltage Direct Current) are conventionally used by small capacity link with a network terminal. On a new trend, the frequency converters FC including the 2000-3000 MW converter HVDC for direct current power transmission, the DC interconnection facility BTB (Back To Back), and large-capacity-izing of the reactive power compensator SVC (Static Var Compensator) are indispensable at the mass link in a trunk transmission power system. In these power converters, the semiconductor device of 100 - numbers is partly connected and used for *****. For a raise in reliance by reduction of the components mark of a power converter, or miniaturization and efficient-izing, large-capacity-izing and loss reduction of a semiconductor device are indispensable.

[0003] The conventional mass semiconductor device is formed by the small, almost circular semiconductor device (pellet) the 1 surroundings from it using the circular silicon single crystal semi-conductor substrate (wafer). One semiconductor device for [withstand voltage] mass semiconductor devices several kA or more in several kV and current capacity is made from one semi-conductor substrate.

[0004] Large-capacity-izing of a semiconductor device, and in order to enlarge especially current capacity, it is effective to enlarge a semiconductor device as much as possible (large-area-izing), and, for that purpose, the semi-conductor substrate of a large area is needed.

[0005] On the other hand, the semi-conductor substrate for manufacturing the semiconductor device of high pressure-proofing having highly uniform resistivity and crystallinity are excellent, and it is required that impurity contents, such as oxygen and carbon, should be low and heavy metal should be a high grade, of course. For this reason, it creates by the zone melting (floating zone method: Floating Zone:FZ) from which the crystal of a high grade is obtained, without using a crucible etc., and in single crystal manufacture of silicon, in order to adjust resistivity to a precision after that, the neutron was irradiated at the reactor, and silicon was changed into Lynn according to the nuclear reaction, and it has doped (Neutron Transmutaion Doping:NTD).

[0006] in addition -- the thing about this kind of crystal manufacture -- for example, JP,50-81473,A and Takao Abe work "silicon crystal growth and wafer processing" -- the neutron irradiation doping:radiation and industry 64th of Baifukan, and the radiation processing and silicon of (May, 1994) Tatsuo Ito and a Masato Toda:semi-conductor -- it is explained to No. p.19-23 (December, 1994) etc. at the detail.

[0007]

[Problem(s) to be Solved by the Invention] For development of a mass semiconductor device, the following are required.

[0008] (1) a characterization facility and analysis technique of the process unit which processes the engineering of the diameter high-purity-silicon single crystal wafer of macrostomia as a material, and (2) mass semiconductor device, and the diameter wafer of (3) macrostomia to homogeneity and a process

technique, the packaging technique of the diameter pellet of (4) macrostomia, (5) high voltages, and a high current -- although a large majority is realizable by the escape of the present technique among these, a difficult thing is manufacture of the diameter silicon single crystal wafer of macrostomia. Even if the history of large-capacity-izing of an old silicon semiconductor device is called history of high-grade-izing of a silicon single crystal, and diameter[of macrostomia]-izing, it is not an overstatement. and -- the present condition -- NTD -- although high grade highly precise doping by law became possible to the diameter of about 6 inches, this is a limit because of constraint of equipment and a facility (exposure aperture of a reactor). There are many thermal neutrons which are useful to doping of silicon at nuclear transformation, although the heavy water reactor (output class of 5-20 MW) with few fast neutrons which cause an exposure defect is suitable, the heavy water reactor which can be irradiated in current inside is to the diameter of 158mm, and it is not economically easy to enlarge the exposure hole.

[0009] On the other hand, in the field of LSI, the silicon wafer with a diameter of 8 inches is used regularly, examination of the process unit and technique for diameter 12 inches is also advanced, and the process unit which processes the diameter wafer of macrostomia to homogeneity, and a process technique can be applied also to the process of a mass semiconductor device.

[0010] The purpose of this invention is to manufacture comparatively simply the diameter high-purity-silicon single crystal wafer of macrostomia.

[0011]

[Means for Solving the Problem] The above-mentioned purpose is attained by the following means.

[0012] (1) Make a single crystal layer or a polycrystal layer deposit on the perimeter of the high definition NTD semi-conductor single crystal rod of the cylindrical shape produced by the conventional approach. Then, it is processed in the shape of a wafer.

[0013] (2) Carry out the usual semi-conductor manufacture process using the semi-conductor substrate wafer of the above-mentioned double stratum-circulare-tunicae-muscularis-ventriculi structure. At this time, a semiconductor device is formed using the whole surface of a high-definition crystalline region, and handling of a wafer uses the single crystal layer or polycrystal layer field made to deposit on a perimeter.

[0014] (3) Pelletize the above-mentioned wafer, remove the single crystal layer or polycrystal layer of the perimeter of a wafer, and process an end face.

[0015] Thereby, the whole surface of a high definition single crystal can be used, and it becomes possible to manufacture a mass semiconductor device. If a mass semiconductor device is developed, reduction of components mark will be achieved and a miniaturization, a raise in reliance, low-loss-izing, and large capacity-ization of the power converter using it will be attained.

[0016]

[Embodiment of the Invention] Hereafter, the example of this invention is explained to a detail using a drawing.

[0017] Example 1 drawing 1 shows the production process of the mass semiconductor device by this invention.

[0018] Drawing 1 (a) is the silicon single crystal rod 10. A process floating zone method (FZ method), the diameter of about 160mm, the crystal growth direction <111>, and resistivity are 4500 or more ohm-cm. After carrying out cutting removal of the shoulder (head) and taele (tail) of this single crystal, operating a perimeter orthopedically and considering as the diameter of 156**1mm, it cuts to a cylindrical shape block with a die length of about 650mm. Then, the neutron was irradiated with the heavy water reactor. while neutron irradiation rotates a silicon block for equalization -- neutron beam flux density 1.5×10^{13} n/cm² and s -- irradiation time 65min it is . It rinsed after radioactivity cooling, it annealed in 1200 degrees C and 1h oxygen air current after residual radioactivity inspection, and the exposure damage was removed. Resistivity is 340 - 390 ohm-cm.

[0019] Drawing 1 (b) shows the condition of having made the single crystal layer or the polycrystalline silicon layer 11 depositing on the perimeter of the above-mentioned silicon single crystal rod. Thickness is 20-25mm by the hydrogen reduction of trichlorosilane (SiHCl₃) as well as a deposit of the polycrystal rod with which a single crystal layer or the polycrystalline silicon layer 11 serves as a raw material of an FZ method. At this time, since the silicon single crystal rod 10 of a substrate is a single crystal, it may grow epitaxially, and a single crystal layer may deposit. It is [single-crystal-] easy toize the perimeter which

touched especially the silicon single crystal rod 10. However, at the following processes, it is not a special problem whether this deposit 11 is a single crystal layer or it is a polycrystal layer.

[0020] Cutting drawing 1 (c) to a wafer, periphery grinding and after carrying out notch processing, (slicing) drawing 1 (d) shows further the cross section of mechanical polishing (wrapping), beveling (beveling), and the silicon semi-conductor substrate 12 that chemical-mechanical-ground (polishing), washed and was completed. this silicon semi-conductor substrate 12 -- the diameter of 165**0.5mm, and thickness of 1.250mm it is -- the field of the NTD high definition single crystal 13 and a perimeter of the field based on-like [concentric circle] is the double stratum-circulare-tunicae-muscularis-ventriculi structure of a CVD single crystal or polycrystal 14. This process is the same as that of the usual wafer production process.

[0021] Drawing 1 (e) shows the pellet 15 for mass thyristors created using the above-mentioned silicon semi-conductor substrate 12. Use process techniques, such as the almost same oxidization as usual, ion implantation, diffusion, phot lithography, metal vacuum evaporationo, and passivation, form 4 layer structures and the electrode of pnpn, it is pelletized and end-face processed after that, and the magnitude is 150mm in diameter. The light sensing portion is installed in the pellet as a trigger method of a thyristor for the optical trigger method by the infrared emitting diode. By using a large area substrate, the degree of freedom of arrangement of a light sensing portion or a gate pattern can be obtained, the flare rate of the turn-on of a thyristor can be brought forward, and a flare field can be spread.

[0022] Drawing 1 (f) shows the condition of having set to the pressure-welding mold package 17 with the optical fiber 16 made from a quartz.

[0023] Consequently, 550kA of surge on-state current of the forward direction and the hard flow proof pressure of 6kV or more, the current capacity (mean on-state current) of 6.6kA, and one pulse, maximum ON-state-voltage 2.1V, and more than rise-rate-of-critical-on-state-current (di/dt) 350 A/mu s were checked.

[0024] In addition, when a silicon wafer with a conventional diameter of 150mm is used, the diameter of a pellet is a maximum of about 136mm, and current capacity is to a maximum of 5.6kA with component structure equivalent to the above.

[0025] The 672 above-mentioned optical trigger thyristors are required for manufacture of the 2000 MW DC interconnection facility BTB. The conventional withstand voltage of 6kV on the other hand, and current capacity of 5.6kA With the component of a class, about 800 pieces are required and about 15% of size miniaturization of a power converter and 9% of loss reduction have been attained. Moreover, high reliance-ization by components mark reduction is expectable.

[0026] Example 2 drawing 2 (a) and (b) show the top view and sectional view of a pellet 20 for mass gate turn-off thyristors by this invention. It manufactures using the large area silicon substrate of the same NTD high definition single crystal 21 as drawing 1, a CVD single crystal or polycrystal 22, and a double stratum-circulare-tunicae-muscularis-ventriculi mold. 4 layer structures and the electrode of pnpn were formed with process techniques, such as the almost same oxidization as usual, ion implantation, diffusion, phot lithography, metal vacuum evaporationo, and passivation. The magnitude of a component is 150mm in diameter. Then, packaging was carried out to the pressure-welding mold.

[0027] This gate turn-off thyristor arranges about 12,000 detailed units (die length of 1.8mm, width of face of 0.16mm) in the shape of [multiplex] a ring. By using a large area substrate, the degree of freedom of arrangement of a gate pattern is obtained, and equalization of actuation in the turn-on of a thyristor and the pellet of a turn-off (between units) can be attained. Consequently, the forward direction proof pressure of 8kV or more, the good control current capacity of 8kA, maximum ON-state-voltage 4.2V, and 40 microseconds of turn-off times were checked.

[0028] The self-excitation type power converter (FC, BTB) of 300MVA class can be assembled using the 384 above-mentioned gate turn-off thyristors. On the other hand, with the conventional withstand voltage of 6kV, and the component of a current capacity the class of 6kA, about 560 pieces are required and can contribute to high reliance-ization by the size miniaturization of a power converter, loss reduction, and components mark reduction.

[0029] In the above-mentioned example, although 1 wafer 1 pellet with a diameter of 150mm or more was explained, also when manufacturing two or more round shape pellets of 10mm of diameter numbers, and

square shape pellets from one wafer, it can apply. Drawing 3 (a) and (b) show the condition in the case of starting two or more pellets from one wafer. A leeway is given in pellet size, the degree of freedom of not only large-capacity-izing but a pattern design is secured, and high performance-ization and low-cost-izing are also possible.

[0030]

[Effect of the Invention] According to this invention, the semiconductor device (pellet) of a large area using the semi-conductor substrate of a large area and it can be created easily, and large capacity-ization of a semiconductor device can be attained.

[0031] Moreover, by obtaining the semi-conductor substrate of a large area, a degree of freedom becomes large at the pattern design of a semiconductor device, and an improvement of a component property can be aimed at.

[0032] Furthermore, the miniaturization of the power converter which uses much this, a raise in reliance, and efficient-ization are attained by the ability creating a mass semiconductor device.

[Translation done.]

*** NOTICES ***

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

図 1

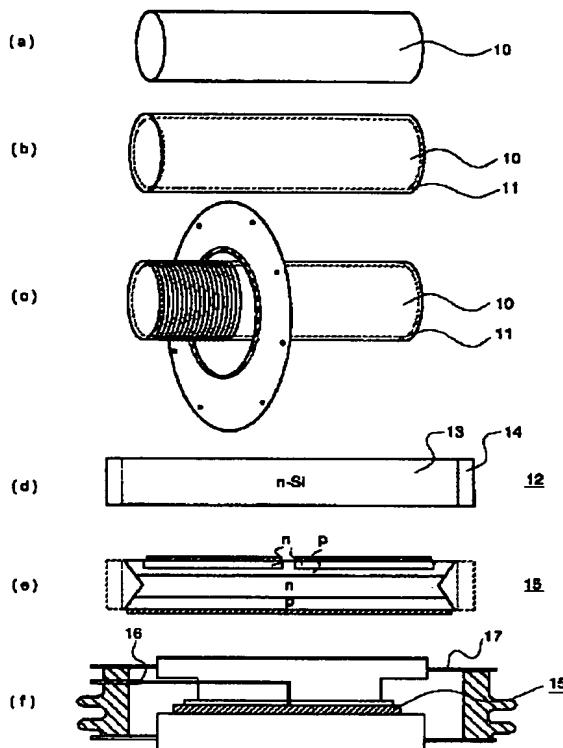
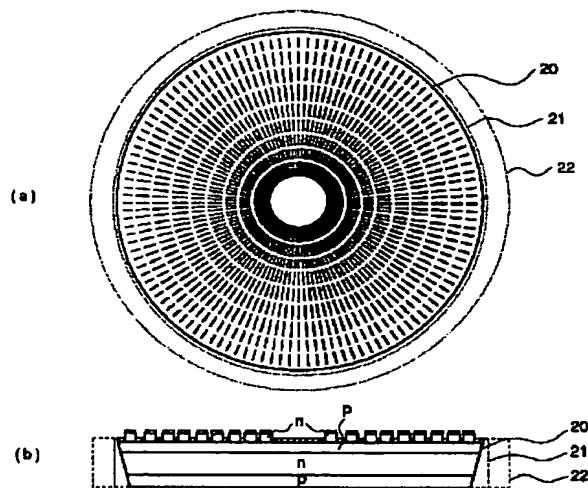
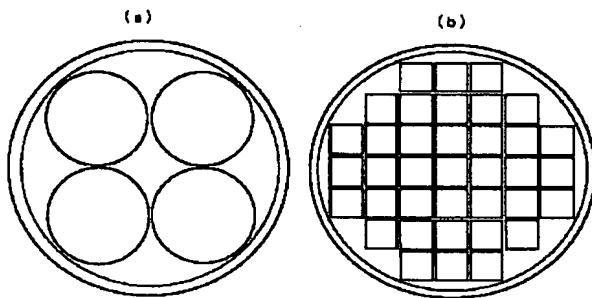
**[Drawing 2]**

図 2



[Drawing 3]

図 3



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-55975

(43) 公開日 平成10年(1998)2月24日

(51) Int.Cl.⁶
H 01 L 21/261
C 30 B 29/06
H 01 L 21/205
29/74

識別記号 庁内整理番号

F I
H O 1 L 21/26
C 3 0 B 29/06
H O 1 L 21/205
29/74

技術表示箇所

審査請求 未請求 請求項の数 1 OL (全 4 頁)

(21) 出願番号

特庸平8-209585

(22) 出廠日

平成8年(1996)8月8日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72)発明者 望月 康弘

茨城県日立市

式会社日立製作所日立研究所内

(74) 代理人 斧理士 小川 勝男

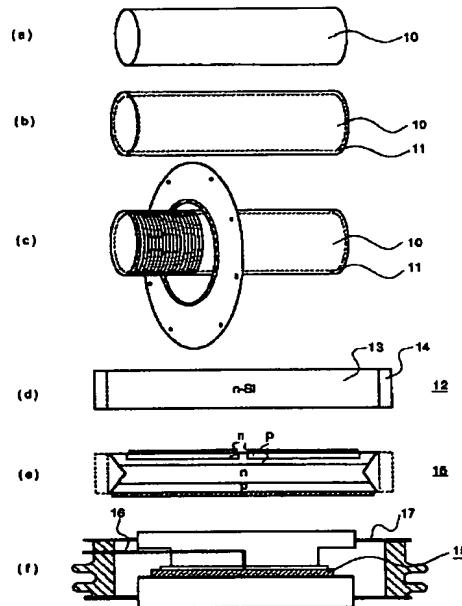
(54) 【発明の名称】 半導体装置用シリコン結晶体

(57) 【要約】

【課題】大口径高純度シリコン単結晶ウエハを簡単な方法で製造すること。

【解決手段】中性子照射（NTD）により高精度に抵抗率を制御された直径 150mm のシリコン単結晶ロッドの周囲に CVD 法によりシリコン単結晶または多結晶層を堆積させる。その後ウエハに加工し、CVD シリコン単結晶または多結晶層をハンドリング領域とし、NTD 領域を素子としてフルに利用する。

1



【特許請求の範囲】

【請求項 1】 半導体素子用のシリコン結晶体であって、素子となる領域は中性子照射により抵抗率を制御された単結晶、周辺のハンドリング用の領域はCVD法による単結晶または多結晶の同心円状2重輪層からなることを特徴とするシリコン結晶体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置特にサイリスタのような大容量半導体装置に用いるシリコン単結晶体に関する。

【0002】

【従来の技術】 近年、国内の電力需要の増大に伴い、電力系統連系や安定化の装置設備の大型化が必要となってきている。従来は系統端末での小容量連系で300～600MWの周波数変換器FC(Frequency Converter)、直流送電用変換器HVDC(High Voltage Direct Current)が用いられている。新しい動向では基幹系統の大容量連系で2000～3000MWの直流送電用変換器HVDCを始めとして、周波数変換器FC、直流連系設備BTB(Back To Back)、無効電力補償装置SVC(Static Var Compensator)の大容量化が必須である。これらの電力変換装置では、数個～数100個の半導体装置が直列に接続して用いられる。電力変換装置の部品点数の削減による高信頼化やコンパクト化、高効率化のためにには、半導体装置の大容量化や損失低減が必須である。

【0003】 従来の大容量半導体装置は、円形のシリコン単結晶半導体基板(ウェハ)を用いてそれより一回り小さいほぼ円形の半導体素子(ペレット)で形成されている。耐電圧が数kV、電流容量が数kA以上の大容量半導体装置用の半導体素子は、1枚の半導体基板から1つ作られる。

【0004】 半導体装置の大容量化、特に電流容量を大きくするためには、半導体素子をできるだけ大きく(大面積化)することが効果的であり、そのためには大面積の半導体基板が必要となる。

【0005】 一方、高耐圧の半導体素子を製造するための半導体基板は、抵抗率が高くかつ均一であること、結晶性が優れ、重金属はもちろん酸素や炭素等の不純物含有量が低く高純度であることが要求されている。このため、シリコンの単結晶製造では、るっぽ等を使用せずに高純度の結晶が得られる帯域溶融法(フローティングゾーン法: Floating Zone: FZ)で作成し、その後、抵抗率を精密に調整するために原子炉で中性子を照射して原子核反応によりシリコンをリンに変換してドーピング(Neutron Transmutation Doping: NTD)している。

【0006】 なお、この種の結晶製造に関するものは、例えば、特開昭50-81473号公報、阿部孝夫著“シリコン 結晶成長とウェハ加工” 培風館、(1994)

年5月), 伊藤辰夫・著者人: 半導体の放射線加工・シリコンの中性子照射ドーピング: 放射線と産業第64号 p. 19～23(1994年12月)等に詳細に説明されている。

【0007】

【発明が解決しようとする課題】 大容量の半導体装置の開発のためには、次のものが必要である。

【0008】 (1) 素材としての、大口径高純度シリコン単結晶ウエハ、(2) 大容量半導体装置の設計技術、(3) 大口径ウエハを均一に処理するプロセス装置及びプロセス技術、(4) 大口径ペレットのパッケージング技術、(5) 高電圧、大電流の特性評価設備及び解析技術

これらのうち大多数は現行技術の拡張で実現可能であるが、困難なことは、大口径シリコン単結晶ウエハの製造である。今までのシリコン半導体装置の大容量化の歴史はシリコン単結晶の高純度化と大口径化の歴史といつても過言ではない。そして現状では、NTD法による高純度高精度ドーピングは直径約6インチまで可能となつたが、装置・設備(原子炉の照射孔径)の制約のためこれが限度である。シリコンのドーピングには核変換に役立つ熱中性子が多く、照射欠陥を引き起こす高速中性子が少ない重水炉(出力5～20MW級)が適しているが、現在国内で照射可能な重水炉は直径158mmまでであり、その照射孔を大きくすることは経済的に容易ではない。

【0009】 一方、大口径ウエハを均一に処理するプロセス装置及びプロセス技術は、LSIの分野では直径8インチのシリコンウエハが常用されており、直径12インチ用のプロセス装置・技術の検討も進められており、大容量半導体装置のプロセスにも適用可能である。

【0010】 本発明の目的は、大口径高純度シリコン単結晶ウエハを比較的簡単に製造することにある。

【0011】

【課題を解決するための手段】 上記目的は、以下の手段により、達成される。

【0012】 (1) 従来の方法で作製した円柱形の高品位NTD半導体単結晶ロッドの周囲に単結晶層または多結晶層を堆積させる。その後、ウエハ状に加工する。

【0013】 (2) 上記の2重輪層構造の半導体基板ウエハを用いて、通常の半導体製造プロセスを実施する。この時、高品位の結晶領域の全面を利用して半導体素子を形成し、ウエハのハンドリングは周囲に堆積させた単結晶層または多結晶層領域を使用する。

【0014】 (3) 上記ウエハをペレタイズしてウエハ周囲の単結晶層または多結晶層を除去し、端面を加工する。

【0015】 これにより、高品位単結晶の全面を利用すことができる、大容量半導体装置を製造することが可能となる。大容量半導体装置が開発されると、それを用い

た電力変換装置は部品点数の削減が図られ小型化、高信頼化、低損失化及び大容量化が可能となる。

【0016】

【発明の実施の形態】以下、本発明の実施例を図面を用いて詳細に説明する。

【0017】実施例1

図1は本発明による大容量半導体装置の製造工程を示す。

【0018】図1(a)はシリコン単結晶ロッド10である。製法フロー：ティングゾーン法(FZ法)、直径約16.0mm、結晶成長方向<111>、抵抗率は4500Ω-cm以上である。この単結晶の肩(頭部)及びテイル(尾部)を切断除去し、周囲を整形し直径15.6±1mmとした後、長さ約65.0mmの円筒形ブロックに切断したものである。その後、重水炉で中性子を照射した。中性子照射は、均一化のためシリコンブロックを回転させながら、中性子線束密度 $1.5 \times 10^{13} \text{ n/cm}^2 \cdot \text{s}$ で照射時間6.5minである。放射能冷却後水洗し残留放射能検査後、1200°C、1h酸素気流中でアーナーして、照射ダメージを取り除いた。抵抗率は340～390Ω-cmである。

【0019】図1(b)は上記シリコン単結晶ロッドの周囲に単結晶層または多結晶シリコン層11を堆積させた状態を示す。単結晶層または多結晶シリコン層11はFZ法の原料となる多結晶ロッドの析出と同じく、三塩化シラン(SiHCl₃)の水素還元により、厚みは2.0～2.5mmである。この時、基板のシリコン単結晶ロッド10が単結晶であるためエピタキシャル成長して単結晶層が堆積することもある。特にシリコン単結晶ロッド10に接した周囲は単結晶化しやすい。しかし以下の工程では、この堆積層11が単結晶層であるか多結晶層であるかは特別な問題ではない。

【0020】図1(c)は外周研削及びノッチ加工した後、ウエハに切断(スライシング)し、図1(d)は、更に、機械研磨(ラッピング)、面取り(ペベリング)、化学的機械的研磨(ポリシング)、洗浄して完成したシリコン半導体基板12の断面模式図を示す。このシリコン半導体基板12は直径16.5±0.5mm、厚み1.250mmであり、同心円状の中心の領域はNTD高品位単結晶13、周囲の領域はCVD単結晶または多結晶14の2重輪層構造である。この工程は通常のウエハ製造工程と同一である。

【0021】図1(e)は上記シリコン半導体基板12を用いて作成した大容量のサイリスタ用のペレット15を示す。従来とほぼ同様の酸化、イオン打込み、拡散、ホトリソグラフィ、メタル蒸着、パッシベーション等のプロセス技術を使用して、p-n-p-nの4層構造と電極を形成し、その後ペレタイズ・端面加工し、その大きさは直径15.0mmである。サイリスタのトリガ方式として赤外発光ダイオードによる光トリガ方式のため、ペレット

内に受光部を設置している。大面積基板を用いることにより、受光部やゲートパターンの配置の自由度が得られ、サイリスタのターンオンの拡がり速度を早め、拡がり領域を広めることができる。

【0022】図1(f)は石英製の光ファイバー16と共に圧接型パッケージ17にセットした状態を示す。

【0023】この結果、順方向及び逆方向耐圧6kV以上、電流容量(平均オン電流)6.6kA、1パルスのサージオン電流55.0kA、最大オン電圧2.1V、臨界オン電流上昇率(dI/dt)350A/μs以上を確認した。

【0024】なお、従来の直径15.0mmのシリコンウエハを用いた場合には、ペレットの直径は最大13.6mm程度であり、上記と同等の素子構造では電流容量は最大5.6kAまでである。

【0025】2000MWの直流連系設備BTBの製造には上記の光トリガサイリスタ672個が必要である。一方、従来の耐電圧6kV、電流容量5.6kAクラスの素子では約800個が必要であり、電力変換器の約15%のサイズ小型化と9%の損失低減が達成できた。また部品点数削減による高信頼化が期待できる。

【0026】実施例2

図2(a)及び(b)は本発明による大容量ゲートターンオフサイリスタ用のペレット20の平面図及び断面図を示す。図1と同様のNTD高品位単結晶21とCVD単結晶または多結晶22と2重輪層型の大面積シリコン基板を用いて製造したものである。従来とほぼ同様の酸化、イオン打込み、拡散、ホトリソグラフィ、メタル蒸着、パッシベーション等のプロセス技術により、p-n-p-nの4層構造と電極を形成した。素子の大きさは直径15.0mmである。その後、圧接型にパッケージングした。

【0027】このゲートターンオフサイリスタは微細なユニット(長さ1.8mm、幅0.16mm)約1万2000個を多重のリング状に配置したものである。大面積基板を用いることにより、ゲートパターンの配置の自由度が得られ、サイリスタのターンオン及びターンオフのペレット内(ユニット間)の動作の均一化が達成できる。この結果、順方向耐圧8kV以上、可制御電流容量8kA、最大オン電圧4.2V、ターンオフ時間40μsを確認した。

【0028】上記のゲートターンオフサイリスタ384個を用いて、300MVA級の自励式電力変換器(FC、BTB)を組み立てることができる。一方、従来の耐電圧6kV、電流容量6kAクラスの素子では約560個が必要であり、電力変換器のサイズ小型化、損失低減および部品点数削減による高信頼化に貢献できる。

【0029】上記実施例では、直径15.0mm以上の1ウエハ1ペレットについて説明したが、1ウエハから直径数10mmの丸型ペレットや角型ペレットを複数個製造する場合にも適用できる。図3(a)、(b)は1つのウエ

ハから複数個のペレットを切出す場合の状態を示す。ペレットサイズに余裕ができ、大容量化のみならず、パターン設計の自由度を確保して高性能化や低コスト化することも可能である。

【0030】

【発明の効果】本発明によれば、大面積の半導体基板およびそれを用いた大面積の半導体素子（ペレット）を容易に作成でき、半導体装置の大容量化を達成できる。

【0031】また、大面積の半導体基板が得られることにより、半導体素子のパターン設計に自由度が大きくなり、素子特性の改善が図れる。

【0032】更に、大容量の半導体装置が作成できることにより、これを多数個使用する電力変換装置の小型化、高信頼化、高効率化が可能となる。

【図面の簡単な説明】

【図1】図1は本発明の第1の実施例による大面積半導体装置の製造工程を示す模式図。

【図2】図2は本発明の第2の実施例による大面積半導体装置のペレットの平面及び断面を示す模式図。

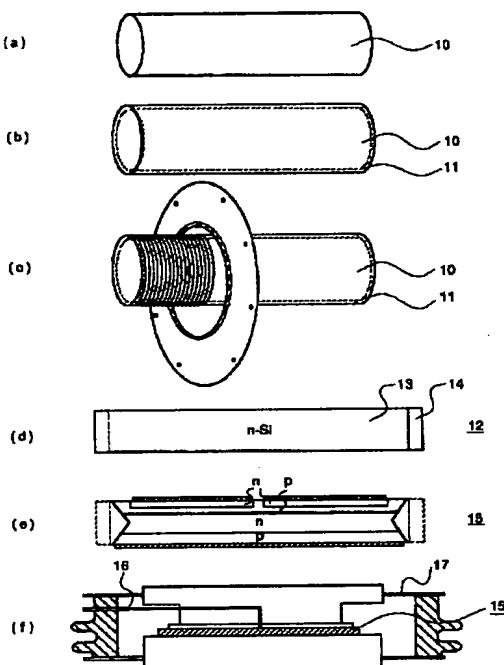
【図3】図3は本発明の第3の実施例による大面積半導体装置のペレットの平面配置の模式図である。

【符号の説明】

10…シリコン単結晶ロッド、11…単結晶または多結晶シリコン層、12…シリコン半導体基板、13、21…NTD高品位単結晶、14、22…CVD単結晶または多結晶、15…大容量サイリスタ用ペレット、17…パッケージ、20…大容量ゲートターンオフサイリスタ用のペレット。

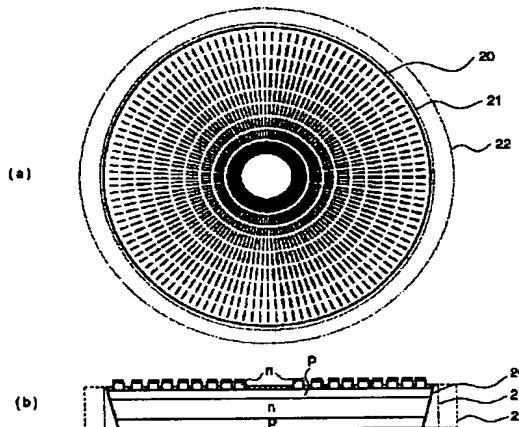
【図1】

図1



【図2】

図2



【図3】

図3

